

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of:

Masaki AOKI

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: November 20, 2003

Attorney Dkt. No.: 108397-00111

For: FERROELECTRIC MEMORY AND METHOD OF READING DATA IN THE  
SAME

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: November 20, 2003

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

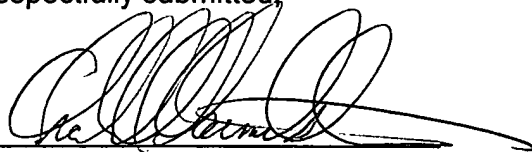
Foreign Application No. 2002-340990, filed November 25, 2002, in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein  
Registration No. 25,895

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM:cam

日本国特許庁  
JAPAN PATENT OFFICE

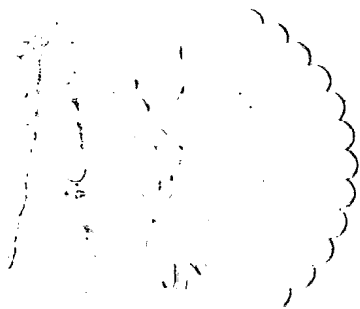
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月25日  
Date of Application:

出願番号 特願2002-340990  
Application Number:  
[ST. 10/C]: [JP 2002-340990]

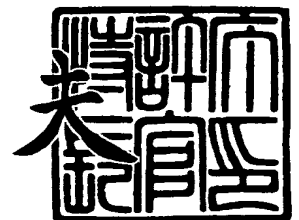
出願人 富士通株式会社  
Applicant(s):



2003年 8月29日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3070680

【書類名】 特許願

【整理番号】 0241089

【提出日】 平成14年11月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/22  
H01L 27/10

【発明の名称】 強誘電体メモリおよび強誘電体メモリのデータ読み出し  
方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 青木 正樹

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100072718

【弁理士】

【氏名又は名称】 古谷 史旺

【電話番号】 3343-2901

【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体メモリおよび強誘電体メモリのデータ読み出し方法

【特許請求の範囲】

【請求項 1】 強誘電体キャパシタを有するメモリセルで構成される R O M 領域と R A M 領域とを備え、

前記 R O M 領域は、

強誘電体メモリの製造工程で書き込まれるデータを記憶するための少なくとも一つのリアルメモリセルと、

ダミーメモリセルと、

前記製造工程で強誘電体キャパシタの残留分極値が所定の値に設定されるリファレンスメモリセルと、

前記リアルメモリセルおよび前記ダミーメモリセルに接続され、選択されたりリアルメモリセルまたはダミーメモリセルにおける前記強誘電体キャパシタの残留分極値に対応する電荷が転送される第 1 ビット線と、

前記リファレンスメモリセルに接続され、前記リアルメモリセルまたは前記ダミーメモリセルの選択に同期して選択される前記リファレンスメモリセルにおける前記強誘電体キャパシタの残留分極値に対応する電荷が転送される第 2 ビット線と、

前記第 1 および第 2 ビット線に接続され、伝達された前記電荷により生じる第 1 および第 2 ビット線の電圧差を増幅するセンスアンプとを備えていることを特徴とする強誘電体メモリ。

【請求項 2】 請求項 1 記載の強誘電体メモリにおいて、

前記 R A M 領域は、データが読み書きされる通常メモリセルと、前記通常メモリセルをアクセスするときに利用されるリファレンスメモリセルとを備え、

前記 R O M 領域の前記リファレンスメモリセルにおける前記強誘電体キャパシタの面積は、前記 R A M 領域の前記リファレンスメモリセルにおける強誘電体キャパシタの面積より大きいことを特徴とする強誘電体メモリ。

【請求項 3】 強誘電体キャパシタを有するメモリセルで構成される R O M 領域と R A M 領域とを備え、

前記ROM領域は、ダミーメモリセルおよび強誘電体メモリの製造工程で書き込まれるデータを記憶するためのリアルメモリセルに接続される第1ビット線と、前記製造工程で強誘電体キャパシタの残留分極値が所定の値に設定されるリファレンスメモリセルに接続される第2ビット線と、前記第1および第2ビット線に接続され、伝達された電荷により生じる第1および第2ビット線の電圧差を増幅するセンスアンプとを備えている強誘電体メモリのデータ読み出し方法であって、

前記リアルメモリセルからリアルデータを読み出す第1読み出し動作の前に、前記ダミーメモリセルからダミーデータを読み出す第2読み出し動作を実行することを特徴とする強誘電体メモリのデータ読み出し方法。

【請求項4】 請求項3記載の強誘電体メモリのデータ読み出し方法において、

前記第1読み出し動作は、前記リアルメモリセルと前記リファレンスメモリセルとを選択し、前記リアルメモリセルおよび前記リファレンスメモリセルの残留分極値に対応する電荷を第1ビットおよび第2ビット線にそれぞれ転送し、前記センスアンプを動作させて実行され、

前記第2読み出し動作は、前記ダミーメモリセルと前記リファレンスメモリセルとを選択し、前記ダミーメモリセルおよび前記リファレンスメモリセルの残留分極値に対応する電荷を第1ビットおよび第2ビット線にそれぞれ転送し、前記センスアンプを動作させて実行されることを特徴とする強誘電体メモリのデータ読み出し方法。

【請求項5】 請求項3記載の強誘電体メモリのデータ読み出し方法において、

前記リアルメモリセルに予め書き込まれるデータは、認証データであることを特徴とする強誘電体メモリのデータ読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体メモリセルで構成されるROM領域を含む強誘電体メモリ

およびそのデータ読み出し方法に関する。

#### 【0002】

##### 【従来の技術】

DRAMおよびフラッシュメモリ・EEPROMの長所を兼ね備えた半導体記憶装置として、メモリセルに強誘電体キャパシタを備えた強誘電体メモリが開発されている。強誘電体メモリは、強誘電体キャパシタを可変容量キャパシタとして動作させ、強誘電体キャパシタへの印加電圧をゼロにしても残留分極が残ることを利用することで、電源が供給されなくてもデータを保持できる。

強誘電体メモリの電源電圧（動作電圧）は、トランジスタ構造の微細化、および消費電力の削減等のため低くなってきている。このため、強誘電体キャパシタへのデータの書き込み特性は悪くなり、読み出しマージンは減少する傾向にある。具体的には、書き込み電圧の減少に伴い、データの書き込み特性を示すヒステリシスループが小さくなることで、読み出し動作における分極電荷の変化で生じる電荷量は、少なくなる。

#### 【0003】

一方、近時、強誘電体メモリが搭載されたセキュリティ機能を有するICカードが開発されている。この種のICカードに搭載される強誘電体メモリは、メモリセル領域の一部にROM領域を有している。ROM領域には、公開鍵基盤（PKI；Public Key Infrastructure）で用いられる鍵データが格納される。鍵データは、強誘電体メモリを製造する製造メーカによりROM領域に書き込まれる（例えば、特許文献1参照）。

#### 【0004】

鍵データを強誘電体メモリのROM領域に予め書き込んでおくことで、ICカードを使用するユーザの個人認証等は、高い信頼性で行われる。

##### 【特許文献1】

特開2001-243761号公報

#### 【0005】

##### 【発明が解決しようとする課題】

一般に、強誘電体メモリをICカードに搭載する場合、強誘電体メモリチップ

は、ICカードのプリント基板にはんだ付けされる。はんだ付けが赤外線リフロー処理により行われる場合、強誘電体メモリは、約230℃の熱を一時的に受ける。強誘電体メモリのヒステリシス特性は温度依存性を有しており、ヒステリシスループは強誘電体キャパシタが高温になるほど小さくなることが知られている（強誘電体キャパシタの減極）。このため、残留分極が十分に生じるように鍵データをROM領域に書き込んだ場合にも、その後のはんだ付け処理（熱処理）により残留分極値が減少し、読み出しマージンは、低下してしまう。すなわち、書き込まれたデータは、消失してしまう。この問題は、動作電圧が低いほど（書き込み電圧が低いほど）顕著である。

#### 【0006】

本発明の目的は、製造工程において書き込まれたデータの読み出しマージンが、その後の熱工程で低下した場合にも、データを確実に読み出すことにある。

#### 【0007】

##### 【課題を解決するための手段】

請求項1の強誘電体メモリおよび請求項3、請求項4の強誘電体メモリのデータ読み出し方法では、強誘電体メモリは、強誘電体キャパシタを有するメモリセルで構成されるROM領域とRAM領域とを有している。ROM領域は、少なくとも一つのリアルメモリセル、ダミーメモリセル、リファレンスメモリセル、第1ビット線、第2ビット線およびセンスアンプを有している。リアルメモリセルは、強誘電体メモリの製造工程で書き込まれるデータを記憶する。リファレンスメモリセルは、製造工程で強誘電体キャパシタの残留分極値が所定の値に設定される。この強誘電体メモリでは、例えば、リアルメモリセルからリアルデータを読み出す第1読み出し動作の前に、ダミーメモリセルからダミーデータを読み出す第2読み出し動作が実行される。

#### 【0008】

まず、第2読み出し動作では、ダミーメモリセルにおける強誘電体キャパシタの残留分極値に対応する電荷が第1ビット線に転送される。リファレンスメモリセルは、ダミーメモリセルと同時にアクセスされ、リファレンスメモリセルにおける強誘電体キャパシタの残留分極値に対応する電荷が、第2ビット線に転送さ



れる。センスアンプは、第1および第2ビット線に転送される電荷により生じる第1および第2ビット線の電圧差を増幅する。

#### 【0009】

ダミーメモリセルの読み出しアクセスによって、リアルメモリセルの読み出しアクセス前にリファレンスメモリセルをアクセスしておくことで、製造工程の熱処理等により減少するリファレンスメモリセルの強誘電体キャパシタの残留分極値を、元の値に戻すことができる。

第2読み出し動作後の第1読み出し動作では、リアルメモリセルにおける強誘電体キャパシタの残留分極値に対応する電荷が第1ビット線に転送される。リファレンスメモリセルは、リアルメモリセルと同時にアクセスされ、リファレンスメモリセルにおける強誘電体キャパシタの残留分極値に対応する電荷が、第2ビット線に転送される。センスアンプは、第1および第2ビット線に転送される電荷により生じる第1および第2ビット線の電圧差を増幅する。

#### 【0010】

第2読み出し動作により、リファレンスメモリセルの強誘電体キャパシタの残留分極値は正常な値に戻っている。このため、リアルメモリセルのデータを、正常に読み出すことができる。この結果、例えば、製造工程の試験工程等で予めデータが書き込まれるROM領域を有する強誘電体メモリにおいて、ROM領域に記憶されているデータを確実に読み出すことができる。

#### 【0011】

請求項2の強誘電体メモリでは、RAM領域は、データが読み書きされる通常メモリセルと、通常メモリセルをアクセスするときに利用されるリファレンスメモリセルとを有している。ROM領域のリファレンスメモリセルにおける強誘電体キャパシタの面積は、RAM領域のリファレンスメモリセルにおける強誘電体キャパシタの面積より大きい。一般に、強誘電体キャパシタの面積を大きくすることで、読み出し動作時に生成される電荷量（残留分極値）は大きくなる。このため、製造工程での熱処理等によるROM領域のリファレンスメモリセルの減極の影響を最小限に抑えることができる。この結果、ROM領域のリアルメモリセルから正しいデータを常に読み出すことができる。

**【0012】**

請求項5の強誘電体メモリのデータ読み出し方法では、リアルメモリセルに予め書き込まれるデータは、認証データである。上述したように、熱処理等によりリファレンスメモリセルの強誘電体キャパシタの残留分極値が減少した場合にも、残留分極値は、ダミーメモリセルの読み出しアクセスによって正常な値に戻る。このため、認証データが、製造工程でROM領域に書き込まれる場合にも、認証データを確実に読み出すことができる。この結果、本発明の適用により、強誘電体メモリにセキュリティ機能を容易に付加できる。強誘電体メモリのみで、認証データを記憶するROMの機能と、その他のデータを記憶する不揮発性のRAMの機能を持つことができる。このため、セキュリティ機能を持ったICカード等を安価に実現できる。

**【0013】****【発明の実施の形態】**

以下、本発明の実施形態を図面を用いて説明する。図中、太線で示す信号線は、複数ビットで構成されている。

図1は、本発明の強誘電体メモリおよび強誘電体メモリのデータ読み出し方法の第1の実施形態を示している。

強誘電体メモリは、シリコン基板上にCMOSプロセスを使用して形成されている。この強誘電体メモリは、例えば、ICカードに搭載され、セキュリティーチップとして使用される。強誘電体メモリは、セキュリティーチップとして使用するために、製造工程の試験工程において認証データが書き込まれる。また、強誘電体メモリチップは、チップに形成されるパッドをICカードの基板等にはんだ付けすることでICカードに搭載される。はんだ付けは、例えば、赤外線リフローにより行われる。

**【0014】**

強誘電体メモリは、コマンドバッファCMDDB、コマンドデコーダCMDD、アドレスバッファADB、制御回路CONT、ロウデコーダRDEC、コラムデコーダCDEC、ワードドライバ列WD、メモリセルアレイARY、センスアンプ列SA-RO、SA-RA、プレートドライバ列PD、およびデータ入出力回路I/Oを有している。

コマンドバッファCMDBは、ライトイネーブル信号等のコマンド信号を外部端子を介して受信し、受信した信号をコマンドデコーダCMDDに出力する。アドレスバッファADBは、アドレス信号を外部端子を介して受信し、受信した信号をロウデコーダRDECおよびコラムデコーダCDECに出力する。

#### 【0015】

コマンドデコーダCMDDは、コマンド信号を解読し、解読結果を制御回路CONTに出力する。制御回路CONTは、プレートドライバ列PD、ワードドライバ列WD、センスアンプ列SA-RO、SA-RA、およびデータ入出力回路I/Oを動作させる制御信号を生成する。ロウデコーダRDECは、アドレス信号の上位ビット（ロウアドレス）をデコードしてデコード信号を生成し、生成した信号をワードドライバ列WDに出力する。コラムデコーダCDECは、アドレス信号の下位ビット（コラムアドレス）をデコードしてデコード信号を生成し、生成した信号をコラムデコーダ列CDECに出力する。

#### 【0016】

ワードドライバ列WDは、複数のワードドライバを有している。ワードドライバ列WDは、制御回路CONTからの制御信号およびロウデコーダRDECからのデコード信号に応答して所定のワード線WL（RFWLB、RFWLT、DWLB、DWLT、RWLB、RWLT、RFWL）を高電圧または接地電圧に変化させる。

プレートドライバ列PDは、複数のプレートドライバを有している。プレートドライバ列PDは、制御回路CONTからの制御信号に応答して所定のプレート線PL（RFPL1、DPL、RPL、RFPL2）をプレート電圧または接地電圧に変化させる。

#### 【0017】

センスアンプ列SA-ROは、ビット線対BL、/BL（相補のビット線）を介して後述するROM領域に接続されている。センスアンプ列SA-ROは、ビット線対BL、/BLに接続された複数のセンスアンプおよびコラムスイッチを有している。各センスアンプは、読み出し動作において、強誘電体キャパシタの残留分極値に応じて発生したビット線BL、/BLの電圧差を増幅する。コラムスイッチは、コラムデコーダCDECから出力されるデコード信号に応じてオンし、センスアンプ列SA-ROのセンスアンプにより増幅されたデータのうち一部を読み出しデータとしてデータ入

出力回路I/Oに出力する。例えば、コラムスイッチは、センスアンプ列SA-R0に形成された256個のセンスアンプのうち8個のセンスアンプ（16本のビット線BL、/BL）を、コラムアドレスに応じて選択する。センスアンプで増幅される8ビットの読み出しデータは、データ入出力回路I/Oに出力される。

#### 【0018】

センスアンプ列SA-RAは、ビット線対BL、/BLを介して後述するRAM領域に接続されている。センスアンプ列SA-RAは、ビット線対BL、/BLに接続された複数のセンスアンプおよびコラムスイッチを有している。センスアンプおよびコラムスイッチは、センスアンプ列SA-R0のセンスアンプおよびコラムスイッチと同じである。

#### 【0019】

メモリセルアレイARYは、ROM領域RO（図の一点鎖線の枠内）およびRAM領域RA（図の二点鎖線の枠内）を有している。

ROM領域ROは、強誘電体キャパシタを有するリアルメモリセルRMC、ダミーメモリセルDMCおよびリファレンスメモリセルRFMCで構成されている。リアルメモリセルRMCは、ワード線RWLT（第1ワード線）とビット線BLの交点またはワード線RWLB（第1ワード線）とビット線/BLの交点に配置されている。ダミーメモリセルDMCは、ワード線DWLT（第2ワード線）とビット線BLの交点またはワード線DWLB（第2ワード線）とビット線/BLの交点に配置されている。リファレンスメモリセルRFMCは、ワード線RFWLT（第3ワード線）とビット線BLの交点またはワード線RFWLB（第3ワード線）とビット線/BLの交点に配置されている。このように、ROM領域ROにおいて、末尾に“T”が付くワード線に接続されるメモリセルは、ビット線BLに接続され、末尾に“B”が付くワード線に接続されるメモリセルは、ビット線/BLに接続されている。

#### 【0020】

リアルメモリセルRMCは、プレート線RPL（第1プレート線）に接続されている。ダミーメモリセルDMCは、プレート線DPL（第2プレート線）に接続されている。リファレンスメモリセルRFMCは、プレート線RFPL1（第3プレート線）に接続されている。

リアルメモリセルRMCには、強誘電体メモリの製造時の試験工程において、例えば、公開鍵基盤で用いられる鍵データ（セキュリティチップに使用される認証データの一種）が書き込まれる。その後、リアルメモリセルRMCに接続されるワード線RWLB、RWLTは、読み出し動作時のみ選択される。リファレンスメモリセルRFMC、ダミーメモリセルDMCおよびリアルメモリセルRMCは、それぞれ512個形成されている。このため、ROM領域ROは、512ビットの鍵データを記憶できる。

#### 【0021】

ダミーメモリセルDMCは、後述するように、リアルメモリセルRMCを読み出す前のダミーリードに使用される。このため、ダミーメモリセルDMCに記憶されるデータは、論理“1”、“0”のいずれでもよい。

RAM領域RAは、強誘電体キャパシタを有するリファレンスメモリセルRFMCおよび通常の読み書き動作で使用されるメモリセルMCで構成されている。リファレンスメモリセルRFMCは、ROM領域ROのリファレンスメモリセルRFMCと同じ構造を有している。メモリセルMCは、ROM領域ROのリアルメモリセルRMCおよびダミーメモリセルDMCと同じ構造を有している。RAM領域RAは、記憶容量がROM領域ROより大きいこと、およびダミーメモリセルDMCが無いことを除き、ROM領域ROと同じ構造である。RAM領域RAのリファレンスメモリセルRFMCは、ワード線RFWLおよびプレート線RFPL2に接続されている。メモリセルMCは、ワード線WLおよびプレート線PLに接続されている。

#### 【0022】

ROM領域ROにおいて、ワード線RWLT、RWLB、DWLT、DWLB、RFWLT、RFWLBとプレート線RPL、DPL、RFPL1とは、図の横方向に沿って配線されている。同様に、RAM領域RAにおいて、ワード線WL、RFWLとプレート線PL、RFPL2とは、図の横方向に沿って配線されている。すなわち、この実施形態の強誘電体メモリは、ワード線／プレート線平行方式を採用している。ワード線／プレート線平行方式では、ワード線を選択に対応して1本のプレート線が選択される。このため、プレートドライバ列PDの動作制御を簡易にできる。

#### 【0023】

R O M領域R0のリファレンスメモリセルRFMCにおける強誘電体キャパシタの面積は、R A M領域のリファレンスメモリセルRFMCにおける強誘電体キャパシタの面積の2倍に設定されている。同様に、R O M領域R0のリアルメモリセルRMCにおける強誘電体キャパシタの面積は、R A M領域RAの通常メモリセルMCにおける強誘電体キャパシタの面積の2倍に設定されている。一般に、誘電体キャパシタの面積を大きくすることで、読み出し動作時に生成される電荷量（残留分極値）は大きくなる。このため、R O M領域R0の強誘電体キャパシタの面積を、R A M領域RAの強誘電体キャパシタの面積より大きく形成することで、R O M領域R0のデータの読み出しマージンを向上できる。

#### 【0024】

また、R O M領域R0において、リファレンスメモリセルRFMCの強誘電体キャパシタの面積は、ダミーメモリセルDMCおよびリアルメモリセルRMCの強誘電体キャパシタの面積の1.5倍に形成されている。R A M領域RAにおいて、リファレンスメモリセルRFMCの強誘電体キャパシタの面積は、通常メモリセルMCの強誘電体キャパシタの面積の1.5倍に形成されている。

#### 【0025】

データ入出力回路I/Oは、制御回路CONTからの制御信号に応じて、センスアンプ列SA-R0、SA-RAからの読み出しデータをデータ端子を介して外部に出力し、または外部からの書き込みデータをセンスアンプ列SA-RAに出力する。データ端子（図示せず）は、例えば8ビットで構成されている。

図2は、図1に示したR O M領域R0の要部の詳細を示している。

#### 【0026】

リファレンスメモリセルRFMCは、転送トランジスタTRおよび強誘電体キャパシタC1を有している。リファレンスメモリセルRFMCの転送トランジスタTRは、ソース・ドレインの一方がビット線BLまたは/BLのいずれかに接続され、ソース・ドレインの他方が強誘電体キャパシタC1の一端に接続され、ゲートがワード線RFWL BまたはRFWLTのいずれかに接続されている。リファレンスメモリセルRFMCの強誘電体キャパシタC1の他端は、リファレンスメモリセルRFMCに共通のプレート線RFPL1に接続されている。

**【0027】**

ダミーメモリセルDMCおよびリアルメモリセルRMCは、転送トランジスタTRおよび強誘電体キャパシタC2を有している。ダミーメモリセルDMCおよびリアルメモリセルRMCの転送トランジスタTRは、ソース・ドレインの一方がビット線BLまたは/BLのいずれかに接続され、ソース・ドレインの他方が強誘電体キャパシタC1の一端に接続され、ゲートがワード線RFLBまたはRFLTのいずれかに接続されている。ダミーメモリセルDMCの強誘電体キャパシタC2の他端は、ダミーメモリセルDMCに共通のプレート線DPLに接続されている。リアルメモリセルRMCの強誘電体キャパシタC2の他端は、リアルメモリセルRMCに共通のプレート線RPLに接続されている。

**【0028】**

上述したように、リファレンスメモリセルRFMCの強誘電体キャパシタの面積は、ダミーメモリセルDMCおよびリアルメモリセルRMCの強誘電体キャパシタの面積の1.5倍に形成されている。このため、リファレンスメモリセルRFMCの強誘電体キャパシタの容量は、ダミーメモリセルDMCおよびリアルメモリセルRMCの強誘電体キャパシタの容量の1.5倍である。リファレンスメモリセルRFMCの強誘電体キャパシタC1の残留分極値は、強誘電体メモリの製造時の試験工程において、所定の値に設定される。

**【0029】**

次に、リアルメモリセルRMCの読み出し動作について説明する。

ビット線BLに接続されたリアルメモリセルRMCの読み出し動作では、末尾に”T”が付いたワード線RWLTの選択に同期して、リファレンスメモリセルRFMCに接続されたワード線RFLBが選択される。そして、リアルメモリセルRMCは、ビット線BLに接続され、リファレンスメモリセルRFMCは、ビット線/BLに接続される。なお、ビット線BL、/BLは、読み出し動作の前に所定の電圧にプリチャージされている。

**【0030】**

ワード線RWLT、RFLBの選択に同期して、プレート線RPL、RFPL1に高レベルのパルスが与えられる。ビット線BL（第1ビット線）には、リアルメモリセルRMC

の強誘電体キャパシタC2の残留分極値に応じた電荷が転送される。ビット線/BL（第2ビット線）には、リファレンスメモリセルRFMCの強誘電体キャパシタC1の残留分極値に応じた電荷が転送される。ビット線BL、/BLは、強誘電体キャパシタC2、C1の残留分極値に応じた電圧にそれぞれ変化する。そして、ビット線BL、/BLの電圧差が、センスアンプSAにより増幅され、リアルメモリセルRMCに記憶されているデータが読み出される。

#### 【0031】

同様に、ビット線/BLに接続されたリアルメモリセルRMCの読み出し動作では、末尾に“B”が付いたワード線RWLBの選択に同期して、リファレンスメモリセルRFMCに接続されたワード線RFWLTが選択される。そして、リアルメモリセルRMCは、ビット線/BLに接続され、リファレンスメモリセルRFMCは、ビット線BLに接続される。ワード線RWLB、RFWLTの選択に同期して、プレート線RPL、RFPL1に高レベルのパルスが与えられる。そして、ビット線/BL（第1ビット線）は、リアルメモリセルRMCの強誘電体キャパシタC2の残留分極値に応じた電圧に変化する。ビット線BL（第2ビット線）は、リファレンスメモリセルRFMCの強誘電体キャパシタC1の残留分極値に応じた電圧に変化する。ビット線BL、/BLの電圧差が、センスアンプSAにより増幅され、リアルメモリセルRMCに記憶されているデータが読み出される。

#### 【0032】

ダミーメモリセルDMCの読み出し動作（第2読み出し動作）は、強誘電体メモリのパワーオン後（電源の立ち上げ後）、リアルメモリセルRMCの読み出し動作（第1読み出し動作）前に実行される。上述したリアルメモリセルRMCの読み出し動作と同様に、ビット線BLに接続されたダミーメモリセルDMCの読み出し動作は、ビット線/BLに接続されたリファレンスメモリセルRFMCを選択して実行される。ビット線/BLに接続されたダミーメモリセルDMCの読み出し動作は、ビット線BLに接続されたリファレンスメモリセルRFMCを選択して実行される。

#### 【0033】

図3は、第1の実施形態における強誘電体メモリの動作を示している。

この動作は、ROM領域R0に記憶されている鍵データを読み出す手順を示して



いる。この手順は、強誘電体メモリに電源電圧が供給された後（パワーオン後）に最初に行うべき初期動作仕様に含まれている。強誘電体メモリを搭載するシステム（CPU等の制御チップまたは制御コア）は、鍵データを読み出すときに、図3に示すフローに従い強誘電体メモリをアクセスしなくてはならない。

#### 【0034】

上述したように、強誘電体メモリは、製造工程の試験工程において、リアルメモリセルRMCに鍵データが書き込まれ、リファレンスメモリセルRFMCの強誘電体キャパシタの残留分極値は所定の値に設定されている。また、強誘電体メモリチップをICカードに搭載する組立工程において、赤外線リフロー処理が実施されている。赤外線リフローでは、強誘電体メモリチップに一時的に約230℃の熱が加わる。この熱により、強誘電体キャパシタの残留分極値は、小さくなり（減極）、読み出しマージンは減少する。

#### 【0035】

強誘電体メモリを使用するユーザ（システム）が、強誘電体メモリをRAMとして使用する場合、あるいは、強誘電体メモリを使用するユーザ（システム）が、データを書き込んだ後にROMとして使用する場合、組立工程での熱処理により読み出しマージンが減少しても問題ない。これは、データの書き込みにより、減極された残留分極値が正常な値に戻るためである。これに対し、強誘電体メモリの製造メーカが、試験工程でデータを書き込んだ後に強誘電体メモリを出荷する場合、試験工程での減極による読み出しマージンの減少は、読み出し動作不良を起こすおそれがある。しかし、以下に説明するフローをパワーオン後の最初の読み出し動作として順次実施することで、鍵データの読み出しマージンの減少は、改善される。

#### 【0036】

まず、強誘電体メモリを搭載するシステムは、パワーオン後にワード線RFLB、DWLTを選択し、ビット線BLに接続されたダミーメモリセルDMCの読み出し動作（ダミーリード）を実行する（図3（a））。すなわち、第2読み出し動作が実行され、8ビットの不定データ（図の"\*"）が読み出される。第2読み出し動作は、パワーオン後の最初の読み出し動作として実行される。ダミーメモリセルDM

Cの読み出し動作により、ビット線/BLに接続されたリファレンスメモリセルRFMCの残留分極値は、赤外線リフロー前の値に戻る。すなわち、リファレンスメモリセルRFMCの減極が回復する。

#### 【0037】

次に、システムは、ワード線RFWLB、RWLTを選択し、ビット線BLに接続されたリアルメモリセルRMCの読み出し動作（鍵データリード）を実行する（図3（b））。すなわち、パワーオン後の2回目の読み出し動作として、第1読み出し動作が実行され、8ビットのデータ（この例では、16進数の”2B”）が読み出される。リファレンスメモリセルRFMCの減極は、鍵データを読み出す前に回復している。このため、鍵データは正常に読み出される。

#### 【0038】

第2読み出し動作と第1読み出し動作とが連続して実行されることで、強誘電体メモリを使用するユーザ（システム）は、ダミーメモリセルDMCの読み出し動作およびリアルメモリセルRMCの読み出し動作を区別する必要がなくなる。具体的には、ダミーメモリセルの存在をユーザに公開せず、強誘電体メモリにおけるROM領域R0のアクセス仕様において、2番目以降の読み出し動作で有効なデータが読み出されるとすればよい。

#### 【0039】

次に、システムは、ワード線RFWLT、DWLBを選択し、ビット線/BLに接続されたダミーメモリセルDMCの読み出し動作（ダミーリード、第2読み出し動作）を実行する（図3（c））。ダミーリードにより、8ビットの不定データが読み出される。ビット線BLに接続されたリファレンスメモリセルRFMCの残留分極値は、赤外線リフロー前の値に戻る。すなわち、リファレンスメモリセルRFMCの減極が回復する。

#### 【0040】

次に、システムは、ワード線RFWLT、RWLBを選択し、ビット線/BLに接続されたリアルメモリセルRMCの読み出し動作（鍵データリード、第1読み出し動作）を実行する（図3（d））。鍵データリードにより8ビットのデータ（この例では、16進数の”5A”）が読み出される。リファレンスメモリセルRFMCの減極は、

鍵データを読み出す前に回復している。このため、鍵データは正常に読み出される。

#### 【0041】

そして、鍵データが正常に読み出された後、RAM領域RAがアクセスされる。

図4は、第1の実施形態における強誘電体メモリの別の動作を示している。

この例では、まず、ビット線/BL、BLに接続されたリファレンスメモリセルRFMCについてダミーリード（第2読み出し動作）がそれぞれ実行され、これ等リファレンスメモリセルRFMCの減極が回復される（図4（a）、（b））。次にビット線BL、/BLに接続されたリアルメモリセルRMCについて鍵データリード（第1読み出し動作）がそれぞれ実行される（図4（c）、（d））。

#### 【0042】

この例では、図3に示したフロー（b）と（c）とが入れ替わっている。それ以外は、図3と同じである。

図5は、強誘電体メモリの製造後におけるROM領域ROの強誘電体キャパシタの残留分極の状態を示している。

図中、太線で示したヒステリシスループは、リアルメモリセルRMCの強誘電体キャパシタの特性を示している。細線で示したヒステリシスループは、リファレンスメモリセルRFMCの強誘電体キャパシタの特性を示している。リファレンスメモリセルRFMCの強誘電体キャパシタは、リアルメモリセルRMCの強誘電体キャパシタの1.5倍の面積を有している。このため、ヒステリシスループは、Y軸方向に1.5倍拡大している。

#### 【0043】

ヒステリシスループ上の菱形印、丸印、および三角印は、リアルメモリセルRMCに記憶されている論理"0"、論理"1"の残留分極値、およびリファレンスメモリセルRFMCに記憶されている参照データ（論理"0"に対応する）の残留分極値を示している。

読み出し動作において、強誘電体キャパシタの両端に掛かる電圧は、読み出すメモリセルの種類によらず電圧V1に設定される。このため、読み出し動作において、リアルメモリセルRMCに記憶されている論理"0"、論理"1"およびリファレ

ンスメモリセルRFMCに記憶されている参照データの残留分極に対応して、電荷CH0、CH1、CHRが発生する。ビット線BLまたは/BLの電圧は、電荷CH0、CH1、CHRに対応して変化する。センスアンプは、電荷CH0、CHRの差D0、または電荷CH1、CHRの差D1に対応するビット線BL、/BLの電圧差を増幅し、リアルメモリセルRMCに記憶されているデータを読み出す。

#### 【 0 0 4 4 】

なお、リファレンスメモリセルRFMCの強誘電体キャパシタの残留分極値は、差D1が差D0より大きくなるように設定されている。これは、製造条件の変動等による強誘電体キャパシタの特性の変化を考慮して、リアルメモリセルRMCとリファレンスメモリセルRFMCの論理値が逆である論理”1”の読み出しマージンを増やしているためである。

#### 【 0 0 4 5 】

図6は、強誘電体メモリの組み立て後におけるROM領域R0の強誘電体キャパシタの残留分極の状態を示している。図中の破線は、図5に示した強誘電体メモリの製造後における強誘電体キャパシタの特性を示している。

強誘電体キャパシタは、組立工程の赤外線リフロー処理により減極する。この結果、リアルメモリセルRMCに記憶されている論理”1”に対応する電荷CH1とリファレンスメモリセルRFMCに記憶されている参照データに対応する電荷CHRとの差D1は、リアルメモリセルRMCに記憶されている論理”0”に対応する電荷CH0と電荷CHRとの差D0より大幅に小さくなる。この状態では、リアルメモリセルRMCの論理”1”の読み出し動作は、読み出しマージンが小さいため正しく実行できない。すなわち、リアルメモリセルRMCに記憶されている論理”1”は、破壊される。

#### 【 0 0 4 6 】

図7は、強誘電体メモリのダミーリード後におけるROM領域R0の強誘電体キャパシタの残留分極の状態を示している。

ダミーメモリセルDMCのダミーリードにより、リファレンスメモリセルRFMCの強誘電体キャパシタの残留分極値は、強誘電体メモリの製造後の値（図5）に戻る。この結果、リアルメモリセルRMCに記憶されている論理”1”に対応する電荷CH1とリファレンスメモリセルRFMCに記憶されている参照データに対応する電荷CH

Rとの差D1は、リアルメモリセルRMCに記憶されている論理"0"に対応する電荷CH0と電荷CHRとの差D0より大きくなる。したがって、論理"1"の読み出しマージンは、大きくなり、論理"1"の読み出し動作は、正しく実行される。

#### 【0047】

なお、リアルメモリセルRMCに記憶されている論理"0"に対応する電荷CH0とリファレンスメモリセルRFMCに記憶されている参照データに対応する電荷CHRとの差D0は、強誘電体メモリの製造後より小さくなる。しかし、リファレンスメモリセルRFMCは、論理"0"を記憶しているため、差D0の変動は小さい。したがって、リアルメモリセルRMCに記憶されている論理"0"の読み出し動作も確実に実行できる。

#### 【0048】

図8は、強誘電体メモリの読み出しマージンの変化(実験値)を示している。

この実験では、組立工程での赤外線リフロー処理を想定して、250℃でベークを実施した。ベークにより、論理"1"を記憶しているリアルメモリセルRMCの残留分極値は小さくなり、論理"0"を記憶しているリアルメモリセルRMCの残留分極値およびリファレンスメモリセルRFMCの残留分極値は大きくなる(図8(a))。

#### 【0049】

ダミーリードにより、リファレンスメモリセルRFMCの残留分極値は、小さくなる。そして、リアルメモリセルRMCの論理"1"に対応する残留分極値とリファレンスメモリセルRFMCの残留分極値との差D1、およびリアルメモリセルRMCの論理"0"に対応する残留分極値とリファレンスメモリセルRFMCの残留分極値との差D0は、最適な値に設定される(図8(b))。すなわち、赤外線リフロー処理によりバランスの崩れたリファレンスメモリセルRFMCの残留分極値とリアルメモリセルRMCの残留分極値の差は、ダミーリードにより製造後のバランスのとれた状態にほぼ戻る。

#### 【0050】

図中、リファレンスメモリセルRFMCの特性を示す破線は、ダミーリードをしない場合を示している。この場合、図6で説明したように、リアルメモリセルRMC

に記憶されている論理"1"に対応する残留分極値と、リファレンスメモリセルRFMCの残留分極値との差は、小さくなり、リアルメモリセルRMCに記憶されている論理"1"は、正しく読み出すことができない。

#### 【0051】

以上、第1の実施形態では、鍵データを読み出す前に、ダミーリード動作を実行し、ROM領域R0のリファレンスメモリセルRFMCをアクセスする。このため、強誘電体メモリの組立工程における赤外線リフロー（熱処理）により減少するリファレンスメモリセルRFMCの強誘電体キャパシタC1の残留分極値を、試験工程直後の正しい値に戻すことができる。したがって、その後のリアルメモリセルRMCの読み出し動作を、正常に実行できる。すなわち、ROM領域R0にダミーメモリセルDMCを形成することで、製造工程の試験工程で予め書き込まれる鍵データを常に正しく読み出すことができる。

#### 【0052】

特に、本発明の適用により、強誘電体メモリにセキュリティ機能を容易に付加できる。強誘電体メモリのみで、鍵データを記憶するROMの機能と、その他のデータを記憶する不揮発性のRAMの機能を持つことができる。このため、セキュリティ機能を持ったICカード等を安価に実現できる。

ROM領域R0のリファレンスメモリセルRFMCにおける強誘電体キャパシタC1の面積は、RAM領域RAのリファレンスメモリセルRFMCにおける強誘電体キャパシタの面積の2倍に形成されている。このため、強誘電体メモリの組立工程での熱処理によるROM領域R0のリファレンスメモリセルRFMCの減極の影響を最小限に抑えることができる。この結果、ROM領域R0のリアルメモリセルRMCから正しいデータを常に読み出すことができる。

#### 【0053】

図9は、本発明の強誘電体メモリおよび強誘電体メモリのデータ読み出し方法の第2の実施形態を示している。第1の実施形態と同じ要素には、同じ符号を付し、詳細な説明を省略する。

この実施形態では、ROM領域R0のリファレンスメモリセルRFMCは、RAM領域RAの読み出し動作にも使用される。すなわち、リファレンスメモリセルRFMCと

ビット線対BL、/BLとは、ROM領域R0およびRAM領域RAで共有されている。ビット線対BL、/BLが共有されるため、センスアンプ列SA-RAも、ROM領域R0およびRAM領域RAで共有されている。このため、この実施形態では、第1の実施形態のセンスアンプ列SA-R0は形成されていない。その他の構成は、第1の実施形態と同じである。

#### 【0054】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、リファレンスメモリセルRFMCをROM領域R0およびRAM領域RAで共有するため、メモリセルアレイARYの面積を小さくできる。リファレンスメモリセルRFMCの面積は、リアルメモリセルRMC、ダミーメモリセルDMCおよびRAM領域RAのメモリセルMCより大きい。このため、メモリセルアレイARYの面積の削減効果は、大きい。また、リファレンスメモリセルRFMCを共有することで、センスアンプ列を減らすことができ、強誘電体メモリのチップサイズを削減できる。

#### 【0055】

図10は、本発明の強誘電体メモリおよび強誘電体メモリのデータ読み出し方法の第3の実施形態を示している。第1の実施形態と同じ要素には、同じ符号を付し、詳細な説明を省略する。

この実施形態では、プレート線PLは、ワード線RFWLB、RFWLT、DWLB、DWLT、RWLB、RWLT、WLに対して直交して配線されている。すなわち、この実施形態の強誘電体メモリは、ワード線／プレート線直交方式を採用している。ワード線／プレート線直交方式では、ワード線の選択に対応して、実際に読み出し動作を実行するメモリセルに接続されるプレート線のみを選択できる。このため、プレートドライバ列PD内においてメモリ動作に必要なドライバの動作を停止することで、消費電力を削減できる。プレートドライバ列PDは、メモリセルアレイARYを挟んで、センスアンプ列SA-RAに対向する位置に形成されている。その他の構成は、第2の実施形態とほぼ同じである。

#### 【0056】

図11は、図10に示したROM領域R0の要部の詳細を示している。

R O M領域R0は、プレート線PLがワード線RFLB、RFLT、DWLB、DWLT、RWLB、RWLT、WLに対して直交して配線されることを除き、図2と同じである。

この実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。

#### 【0057】

図12は、本発明の強誘電体メモリおよび強誘電体メモリのデータ読み出し方法の第4の実施形態を示している。第1の実施形態と同じ要素には、同じ符号を付し、詳細な説明を省略する。

この実施形態では、R O M領域R0とR A M領域RAとは、ワード線RFLB、RFLT、DWLB、DWLT、RWLB、RWLT、WLの配線方向に沿って配置されている。ワード線RFLB、RFLT、DWLB、DWLT、RWLB、RWLT、WLは、R O M領域R0とR A M領域RAとで共通である。メモリセルアレイARYを除く構成は、上述した第2の実施形態とは同じである。

#### 【0058】

R O M領域R0は、一対のビット線対BL、/BLに接続されたメモリセルRFMC、DMC、RMCにより構成されている。リアルメモリセルRMCは、異なるワード線RWLB0、RWLT0、RWLB1、RWLT1、...にそれぞれ接続されている。ビット線BLに接続されたリアルメモリセルRMCから鍵データを読み出すとき、ビット線BLは第1ビット線として作用し、ビット線/BLは、第2ビット線として作用する。

#### 【0059】

リアルメモリセルRMCが共通のビット線BLまたは/BLに接続されているため、リアルメモリセルRMCに書き込まれた鍵データの読み出しは、ワード線を順次選択して実行される。すなわち、この実施形態の強誘電体メモリでは、R O M領域R0は、直列読み出しされる。

この実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。

#### 【0060】

以上の実施形態において説明した発明を整理して、付記として開示する。

(付記1) 強誘電体キャパシタを有するメモリセルで構成されるR O M領域と



RAM領域とを備え、

前記ROM領域は、

強誘電体メモリの製造工程で書き込まれるデータを記憶するための少なくとも一つのリアルメモリセルと、

ダミーメモリセルと、

前記製造工程で強誘電体キャパシタの残留分極値が所定の値に設定されるリファレンスメモリセルと、

前記リアルメモリセルおよび前記ダミーメモリセルに接続され、選択されたりリアルメモリセルまたはダミーメモリセルにおける前記強誘電体キャパシタの残留分極値に対応する電荷が転送される第1ビット線と、

前記リファレンスメモリセルに接続され、前記リアルメモリセルまたは前記ダミーメモリセルの選択に同期して選択される前記リファレンスメモリセルにおける前記強誘電体キャパシタの残留分極値に対応する電荷が転送される第2ビット線と、

前記第1および第2ビット線に接続され、伝達された前記電荷により生じる第1および第2ビット線の電圧差を増幅するセンスアンプとを備えていることを特徴とする強誘電体メモリ。

#### 【0061】

(付記2) 付記1記載の強誘電体メモリにおいて、

前記第1ビット線は、複数の前記リアルメモリセルを接続していることを特徴とする強誘電体メモリ。

(付記3) 付記1記載の強誘電体メモリにおいて、

前記リアルメモリセル、前記ダミーメモリセルおよび前記リファレンスメモリセルをそれぞれ選択するために、これ等メモリセルにそれぞれ接続される第1、第2および第3ワード線と、

前記リアルメモリセル、前記ダミーメモリセルおよび前記リファレンスメモリセルにそれぞれ接続される第1、第2および第3プレート線とを備え、

前記第1、第2および第3ワード線と、前記第1、第2および第3プレート線とは、同じ方向に配線されていることを特徴とする強誘電体メモリ。

**【0062】**

(付記4) 付記1記載の強誘電体メモリにおいて、

前記リアルメモリセル、前記ダミーメモリセルおよび前記リファレンスメモリセルをそれぞれ選択するために、これ等メモリセルにそれぞれ接続される第1、第2および第3ワード線と、

前記リアルメモリセル、前記ダミーメモリセルおよび前記リファレンスメモリセルにそれぞれ接続される第1、第2および第3プレート線を備え、

前記第1、第2および第3ワード線と、前記第1、第2および第3プレート線とは、互いに直交する方向に配線されていることを特徴とする強誘電体メモリ。

**【0063】**

(付記5) 付記1記載の強誘電体メモリにおいて、

前記RAM領域は、データが読み書きされる通常メモリセルと、前記通常メモリセルをアクセスするときに利用されるリファレンスメモリセルとを備え、

前記ROM領域の前記リファレンスメモリセルにおける前記強誘電体キャパシタの面積は、前記RAM領域の前記リファレンスメモリセルにおける強誘電体キャパシタの面積より大きいことを特徴とする強誘電体メモリ。

**【0064】**

(付記6) 付記1記載の強誘電体メモリにおいて、

前記リアルメモリセルに予め書き込まれるデータは、認証データであることを特徴とする強誘電体メモリ。

(付記7) 付記6記載の強誘電体メモリにおいて、

前記認証データは、公開鍵基盤で用いられる鍵データであることを特徴とする強誘電体メモリ。

**【0065】**

(付記8) 強誘電体キャパシタを有するメモリセルで構成されるROM領域とRAM領域とを備え、

前記ROM領域は、ダミーメモリセルおよび強誘電体メモリの製造工程で書き込まれるデータを記憶するためのリアルメモリセルに接続される第1ビット線と、前記製造工程で強誘電体キャパシタの残留分極値が所定の値に設定されるリフ

ァレンスメモリセルに接続される第2ビット線と、前記第1および第2ビット線に接続され、伝達された電荷により生じる第1および第2ビット線の電圧差を増幅するセンスアンプとを備えている強誘電体メモリのデータ読み出し方法であって、

前記リアルメモリセルからリアルデータを読み出す第1読み出し動作の前に、前記ダミーメモリセルからダミーデータを読み出す第2読み出し動作を実行することを特徴とする強誘電体メモリのデータ読み出し方法。

#### 【0066】

(付記9) 付記8記載の強誘電体メモリのデータ読み出し方法において、

前記第1読み出し動作は、前記リアルメモリセルと前記リファレンスメモリセルとを選択し、前記リアルメモリセルおよび前記リファレンスメモリセルの残留分極値に対応する電荷を第1ビットおよび第2ビット線にそれぞれ転送し、前記センスアンプを動作させて実行され、

前記第2読み出し動作は、前記ダミーメモリセルと前記リファレンスメモリセルとを選択し、前記ダミーメモリセルおよび前記リファレンスメモリセルの残留分極値に対応する電荷を第1ビットおよび第2ビット線にそれぞれ転送し、前記センスアンプを動作させて実行されることを特徴とする強誘電体メモリのデータ読み出し方法。

#### 【0067】

(付記10) 付記8記載の強誘電体メモリのデータ読み出し方法において、

前記第2読み出し動作は、強誘電体メモリのパワーオン後の最初の読み出し動作として実行され、

前記第1読み出し動作は、2回目以降の少なくともいずれかの読み出し動作として実行されることを特徴とする強誘電体メモリのデータ読み出し方法。

#### 【0068】

(付記11) 付記10記載の強誘電体メモリのデータ読み出し方法において、

前記パワーオン後に、前記第2読み出し動作と、前記第1読み出し動作とを連続して実行することを特徴とする強誘電体メモリのデータ読み出し方法。

(付記12) 付記8記載の強誘電体メモリのデータ読み出し方法において、

前記リアルメモリセルに予め書き込まれるデータは、認証データであることを特徴とする強誘電体メモリのデータ読み出し方法。

【0069】

(付記13) 付記12記載の強誘電体メモリのデータ読み出し方法において、前記認証データは、公開鍵基盤で用いられる鍵データであることを特徴とする強誘電体メモリのデータ読み出し方法。

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0070】

【発明の効果】

請求項1の強誘電体メモリおよび請求項3、請求項4の強誘電体メモリのデータ読み出し方法では、ダミーメモリセルの読み出しアクセスによって、リアルメモリセルの読み出しアクセス前にリファレンスメモリセルをアクセスしておくことで、製造工程の熱処理等により減少するリファレンスメモリセルの強誘電体キャパシタの残留分極値を、元の値に戻すことができる。このため、第1読み出し動作により、リアルメモリセルのデータを、正常に読み出すことができる。この結果、例えば、製造工程の試験工程等で予めデータが書き込まれるROM領域を有する強誘電体メモリにおいて、ROM領域に記憶されているデータを確実に読み出すことができる。

【0071】

請求項2の強誘電体メモリでは、製造工程での熱処理等によるROM領域のリファレンスメモリセルの減極の影響を最小限に抑えることができる。この結果、ROM領域のリアルメモリセルから正しいデータを常に読み出すことができる。

請求項5の強誘電体メモリのデータ読み出し方法では、認証データが、製造工程でROM領域に書き込まれる場合にも、認証データを確実に読み出すことができる。この結果、本発明の適用により、強誘電体メモリにセキュリティ機能を容易に付加できる。強誘電体メモリのみで、認証データを記憶するROMの機能と、その他のデータを記憶する不揮発性のRAMの機能を持つことができる。この

ため、セキュリティ機能を持った I C カード等を安価に実現できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示すブロック図である。

【図 2】

図 2 は、図 1 に示した R O M 領域 R0 の要部の詳細を示すブロック図である。

【図 3】

第 1 の実施形態における強誘電体メモリの動作を示すフローチャートである。

【図 4】

第 1 の実施形態における強誘電体メモリの別の動作を示すフローチャートである。

【図 5】

強誘電体メモリの製造後における R O M 領域 R0 の強誘電体キャパシタの残留分極の状態を示す特性図である。

【図 6】

強誘電体メモリの組み立て後における R O M 領域 R0 の強誘電体キャパシタの残留分極の状態を示す特性図である。

【図 7】

強誘電体メモリのダミーリード後における R O M 領域 R0 の強誘電体キャパシタの残留分極の状態を示す特性図である。

【図 8】

読み出しマージンの変化を示す実験データである。

【図 9】

本発明の第 2 の実施形態を示すブロック図である。

【図 1 0】

本発明の第 3 の実施形態を示すブロック図である。

【図 1 1】

図 1 0 に示した R O M 領域 R0 の要部の詳細を示すブロック図である。

【図 1 2】

本発明の第4の実施形態を示すブロック図である。

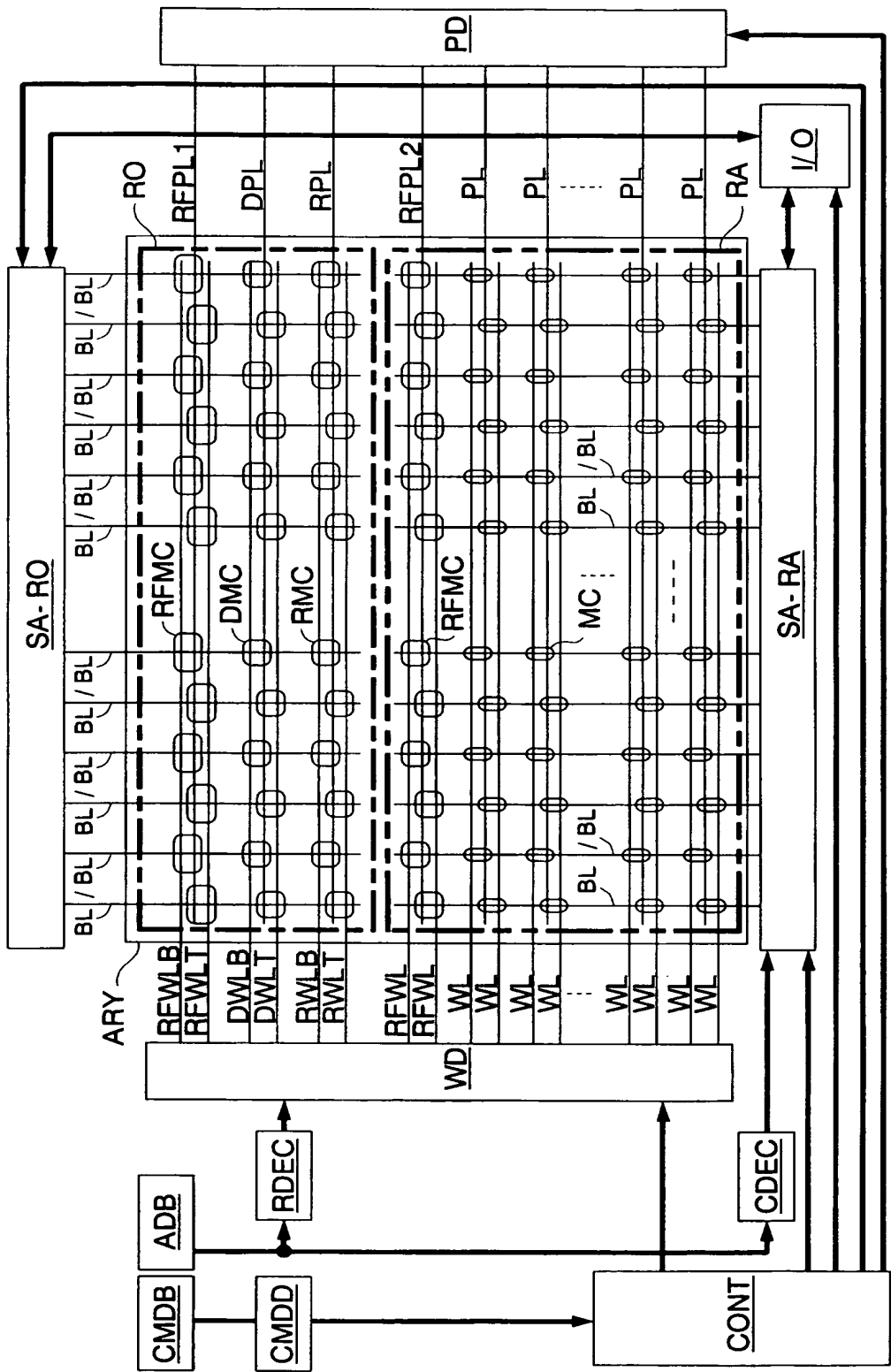
【符号の説明】

ADB アドレスバッファ  
ARY メモリセルアレイ  
BL、/BL ビット線  
C1、C2 強誘電体キャパシタ  
CDEC コラムデコーダ  
CMDB コマンドバッファ  
CMDD コマンドデコーダ  
CONT 制御回路  
DMC ダミーメモリセル  
DPL プレート線  
DWLB、DWLT ワード線  
I/O データ入出力回路  
MC メモリセル  
PD プレートドライバ列  
PL プレート線  
RA RAM領域  
RDEC ロウデコーダ  
RFMC リファレンスメモリセル  
RFPL1、RFPL2、RPL プレート線  
RFWLB、RFWLT、RWLB、RWLT ワード線  
RMC リアルメモリセル  
RO ROM領域  
SA-RO、SA-RA、 センスアンプ列  
TR 転送トランジスタ  
WD ワードドライバ列  
WL ワード線

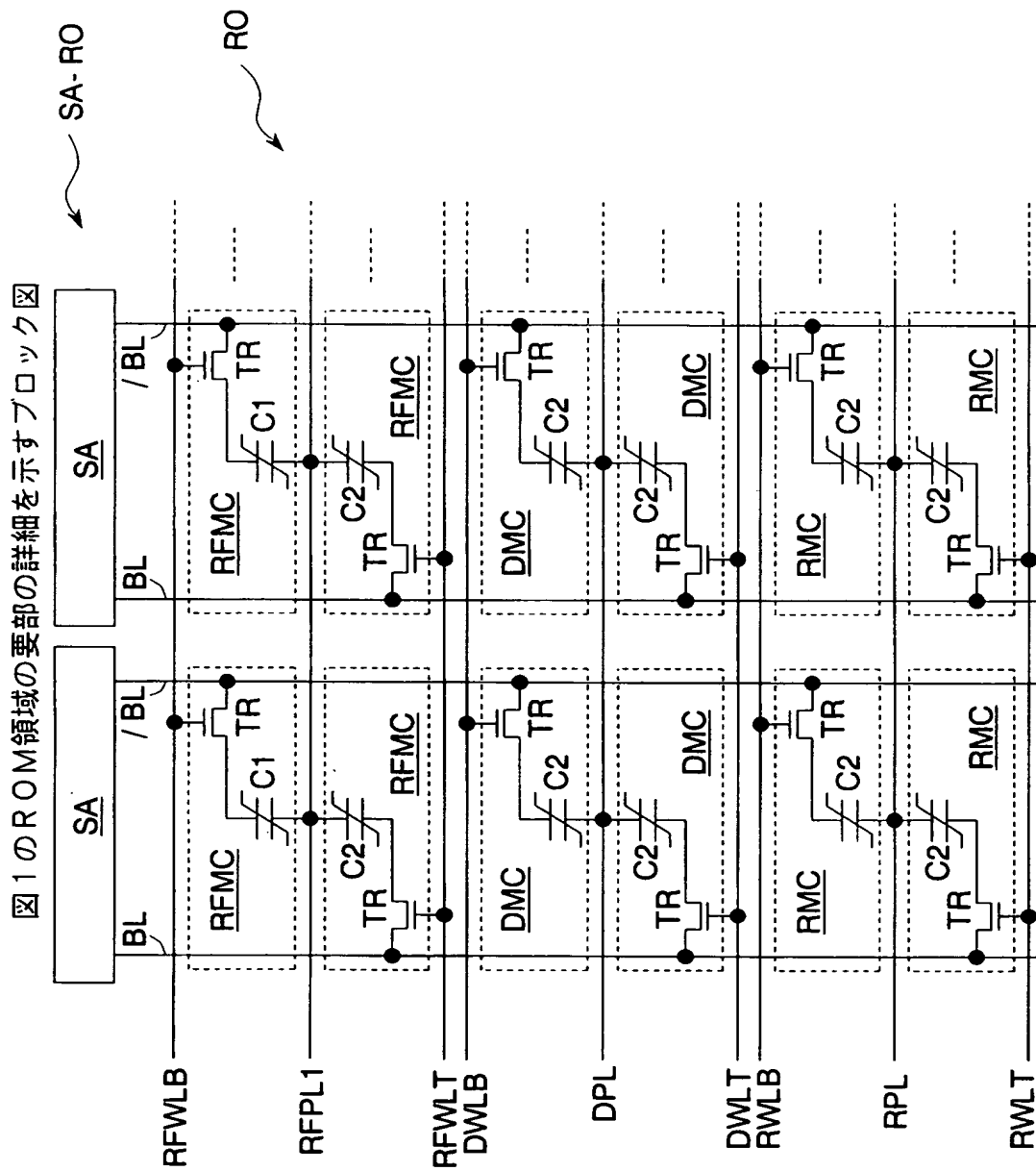
【書類名】 図面

【図 1】

本発明の第 1 の実施形態を示すブロック図

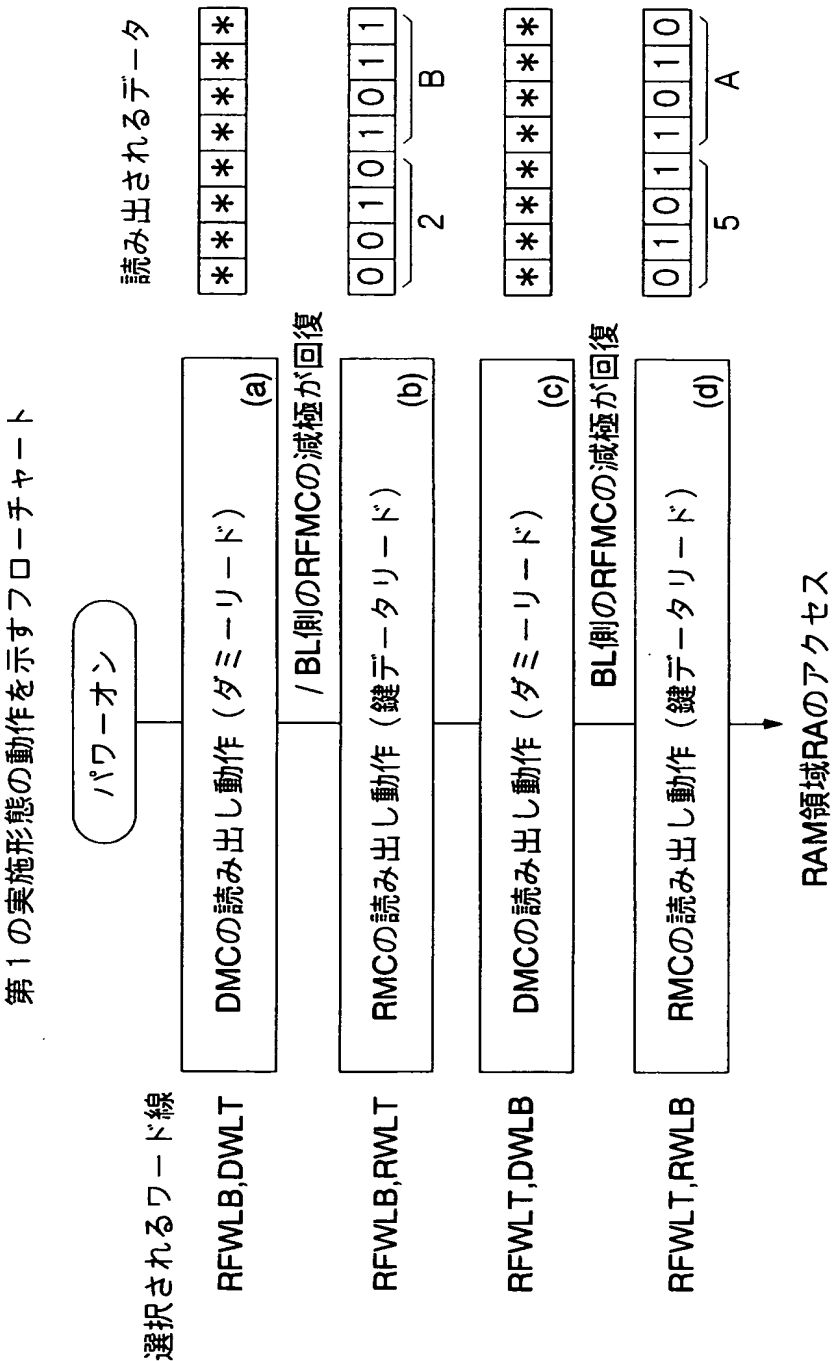


【図 2】

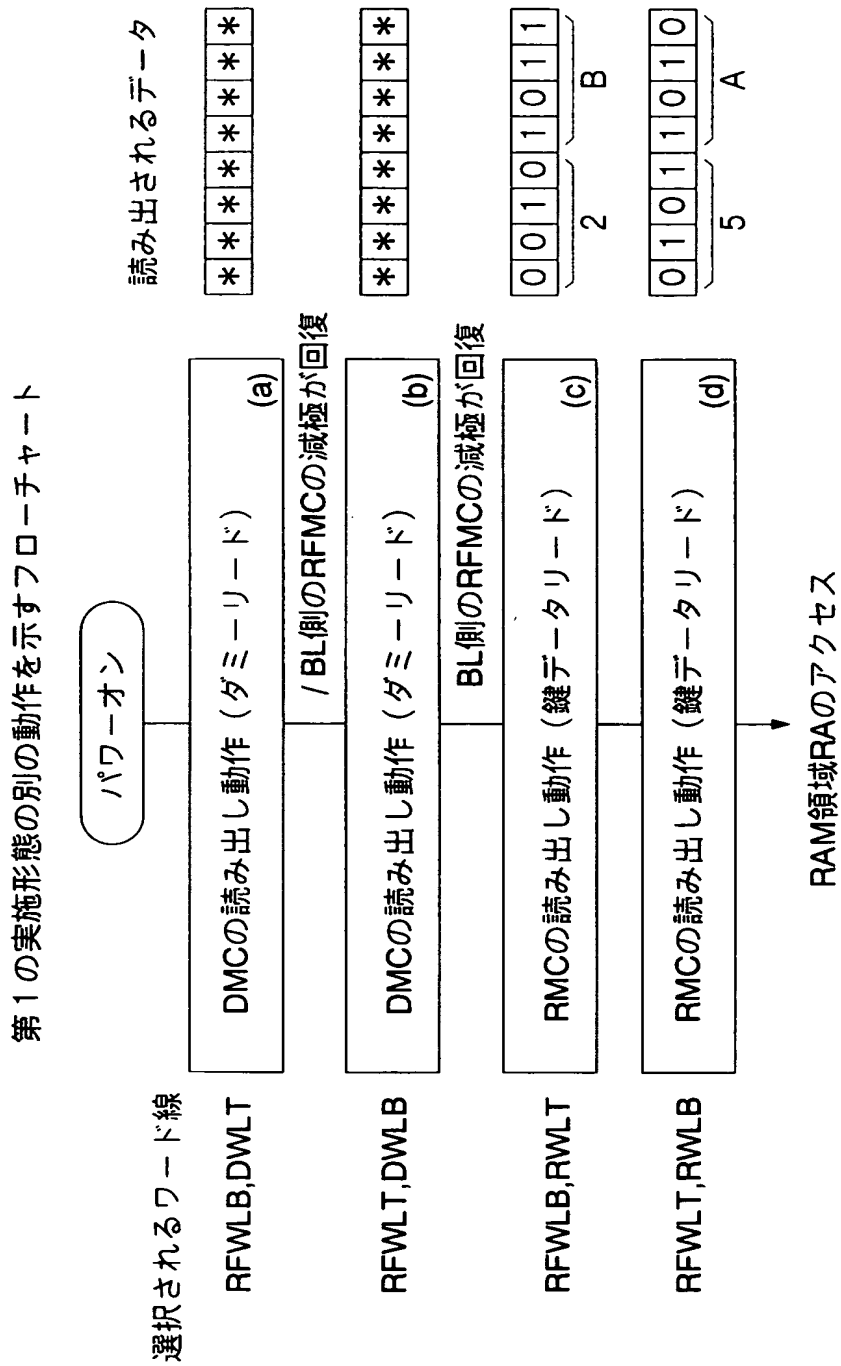




【図 3】

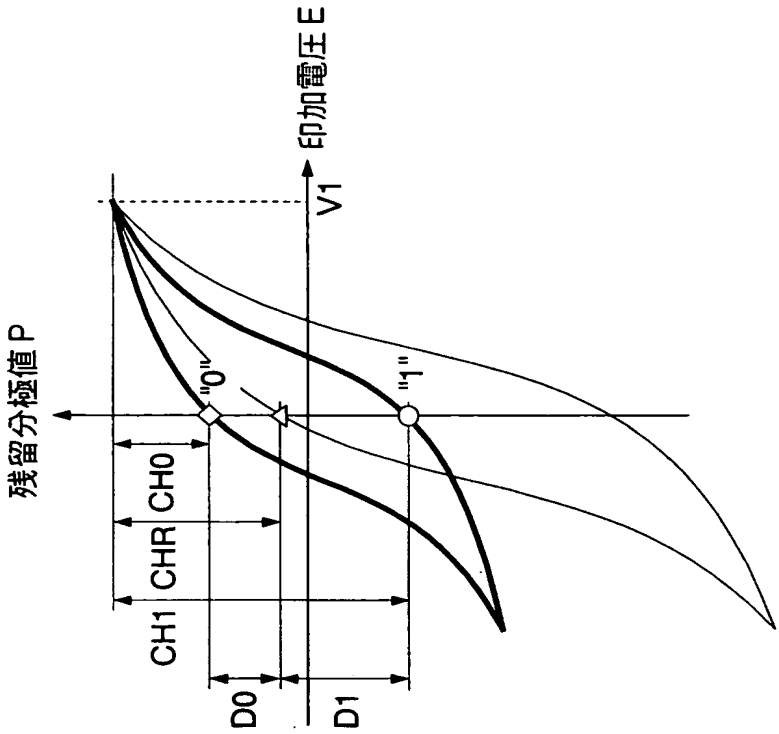


【图 4】



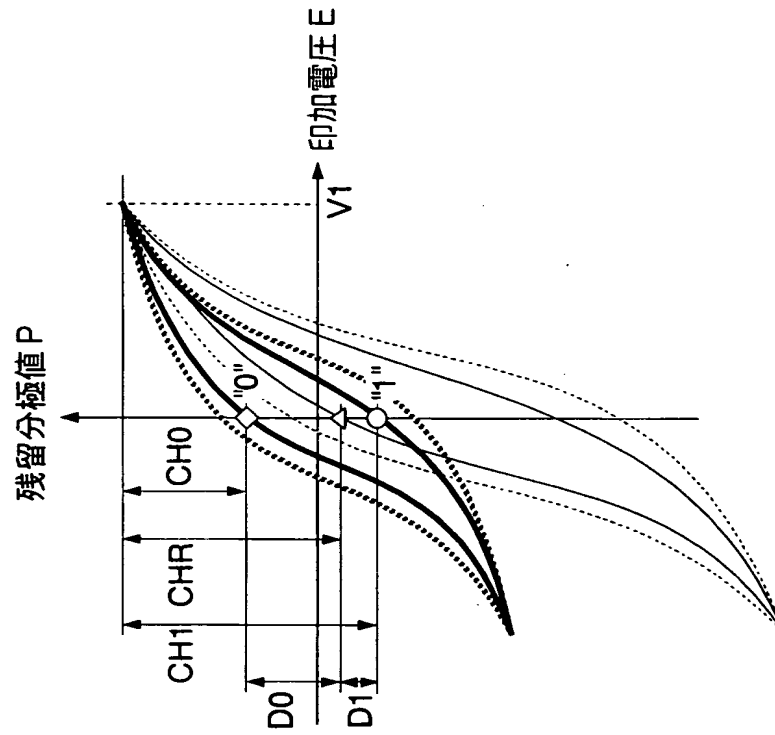
【図 5】

強誘電体メモリの製造後におけるROM領域の強誘電体キャパシタの  
残留分極を示す特性図



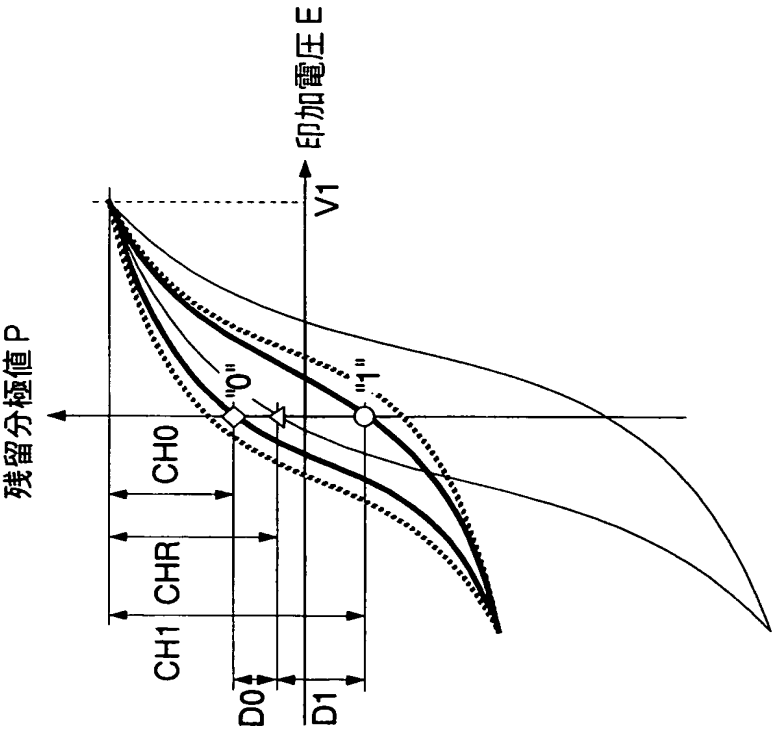
【図 6】

強誘電体メモリの組み立て後に於けるROM領域の強誘電体キャパシタの  
残留分極を示す特性図



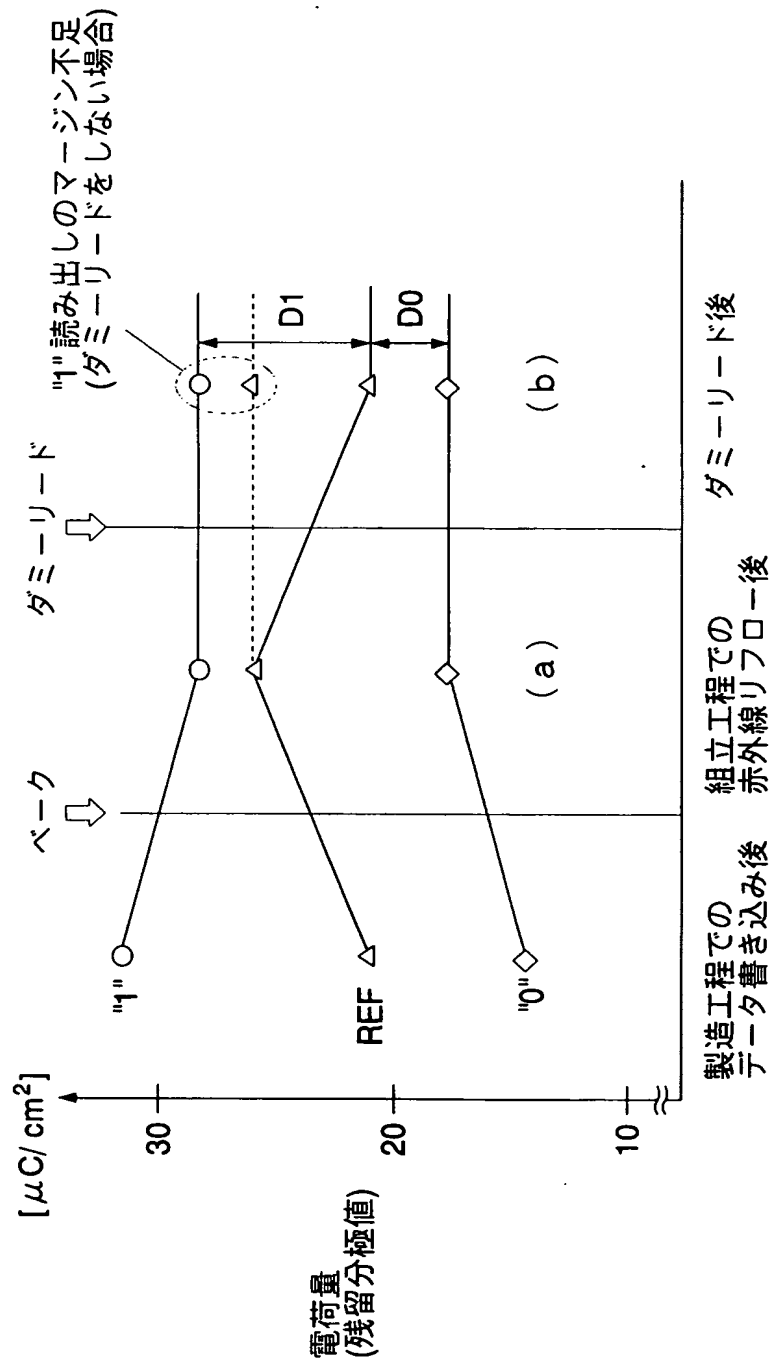
【図 7】

強誘電体メモリのダミリード後におけるROM領域の強誘電体キャパシタの  
残留分極を示す特性図



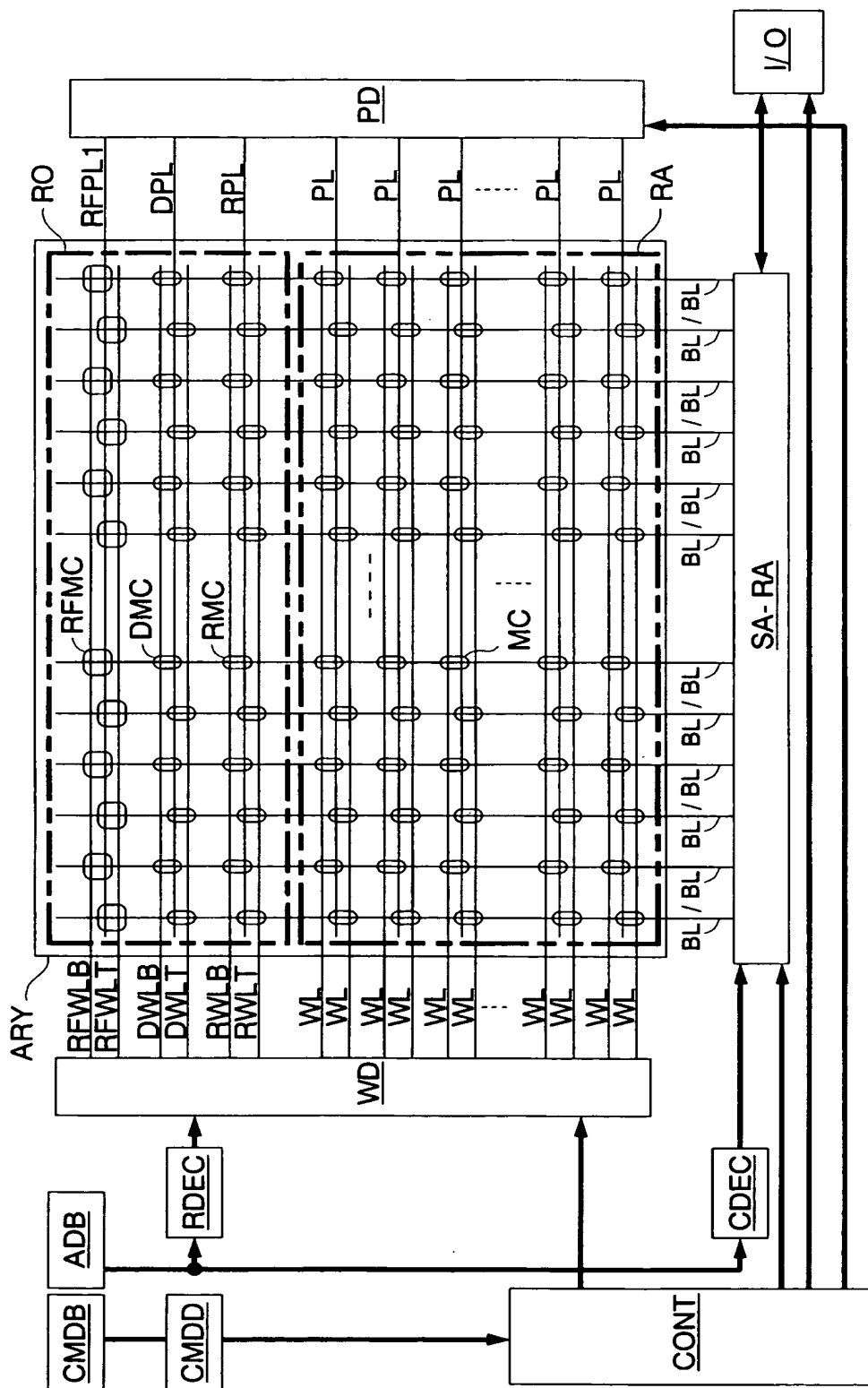
【図 8】

本発明を適用した強誘電体メモリにおける読み出しマージンの変化（実験値）を示す説明図

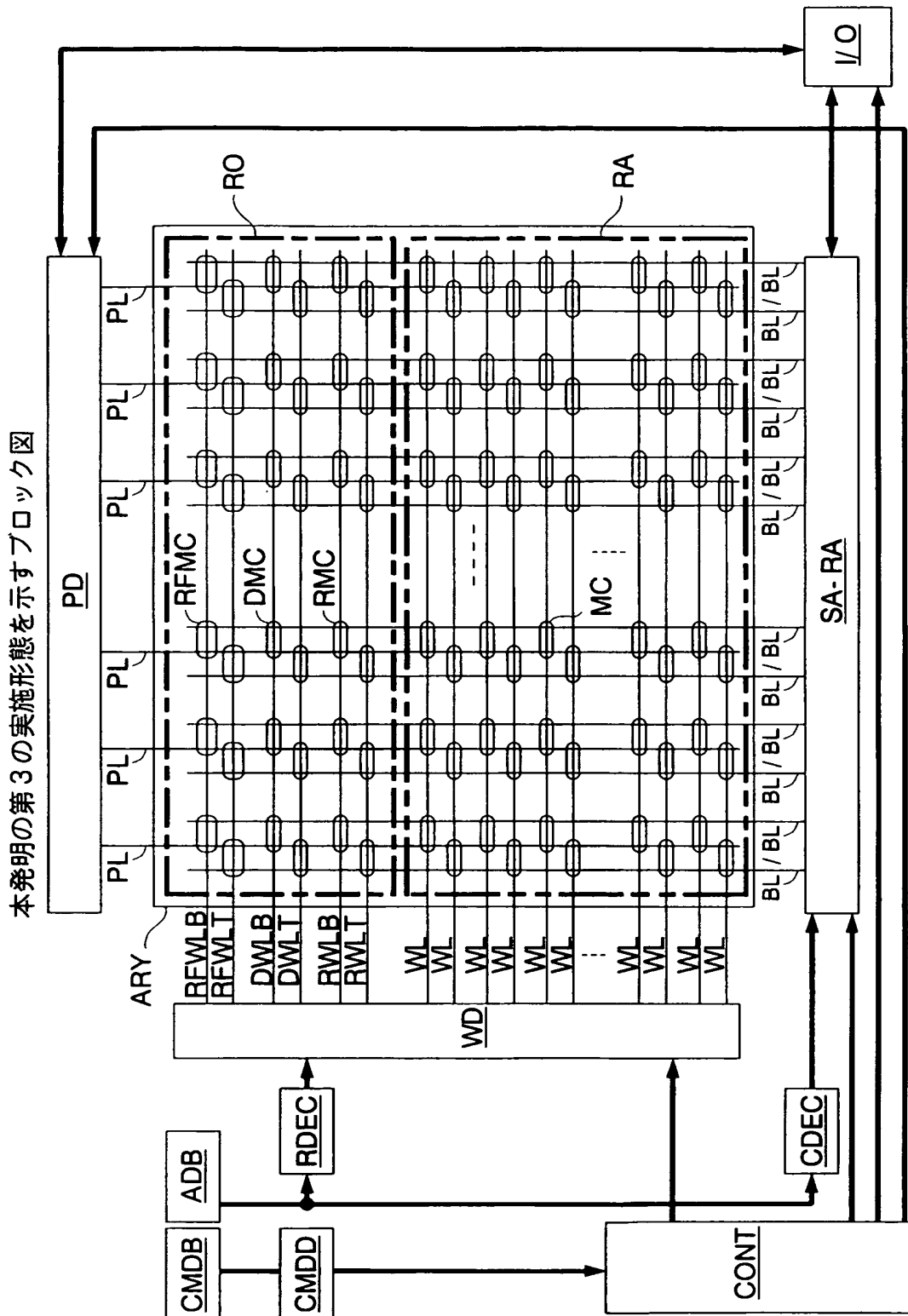


【図 9】

本発明の第 2 の実施形態を示すブロック図

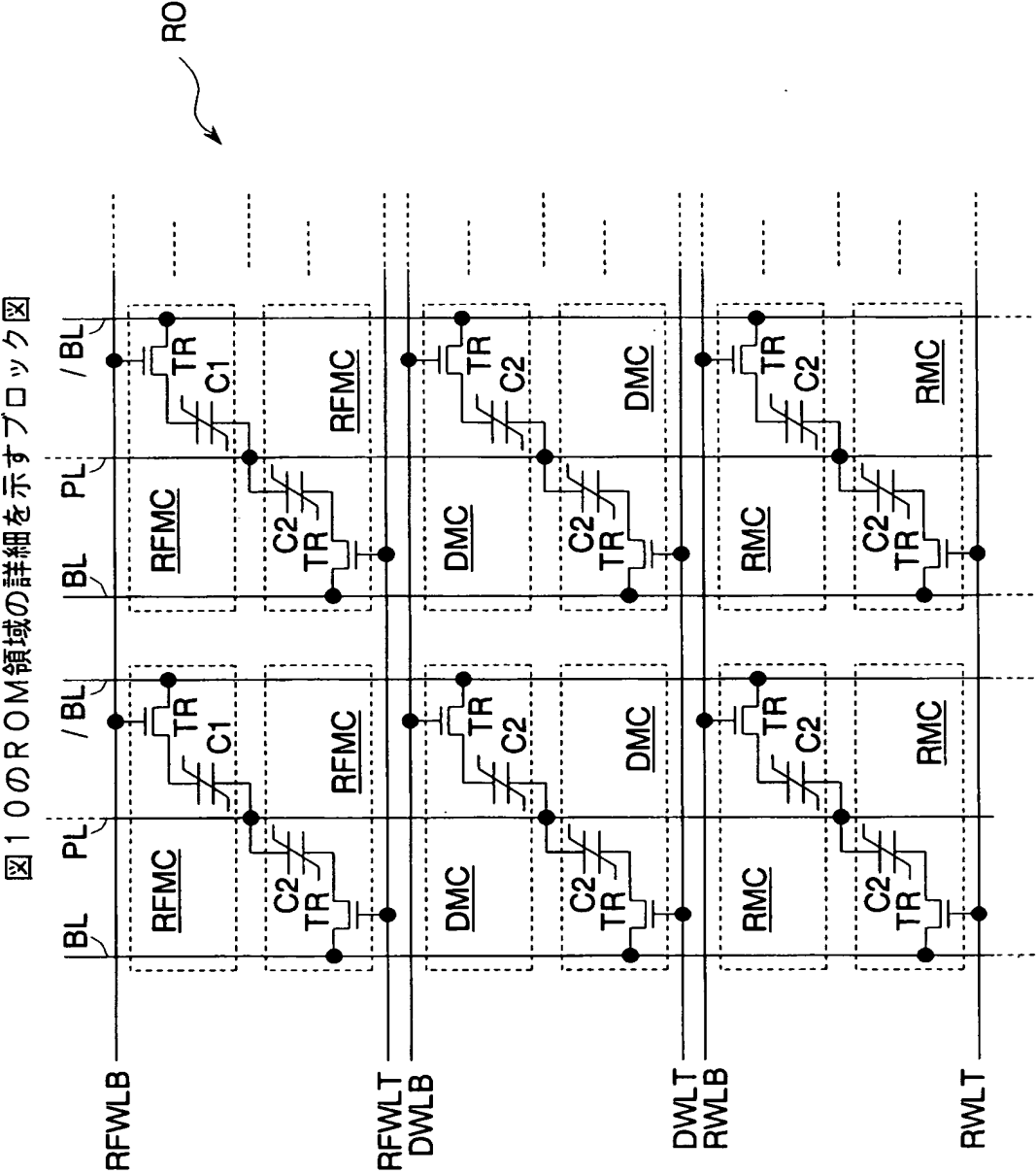


【図 10】



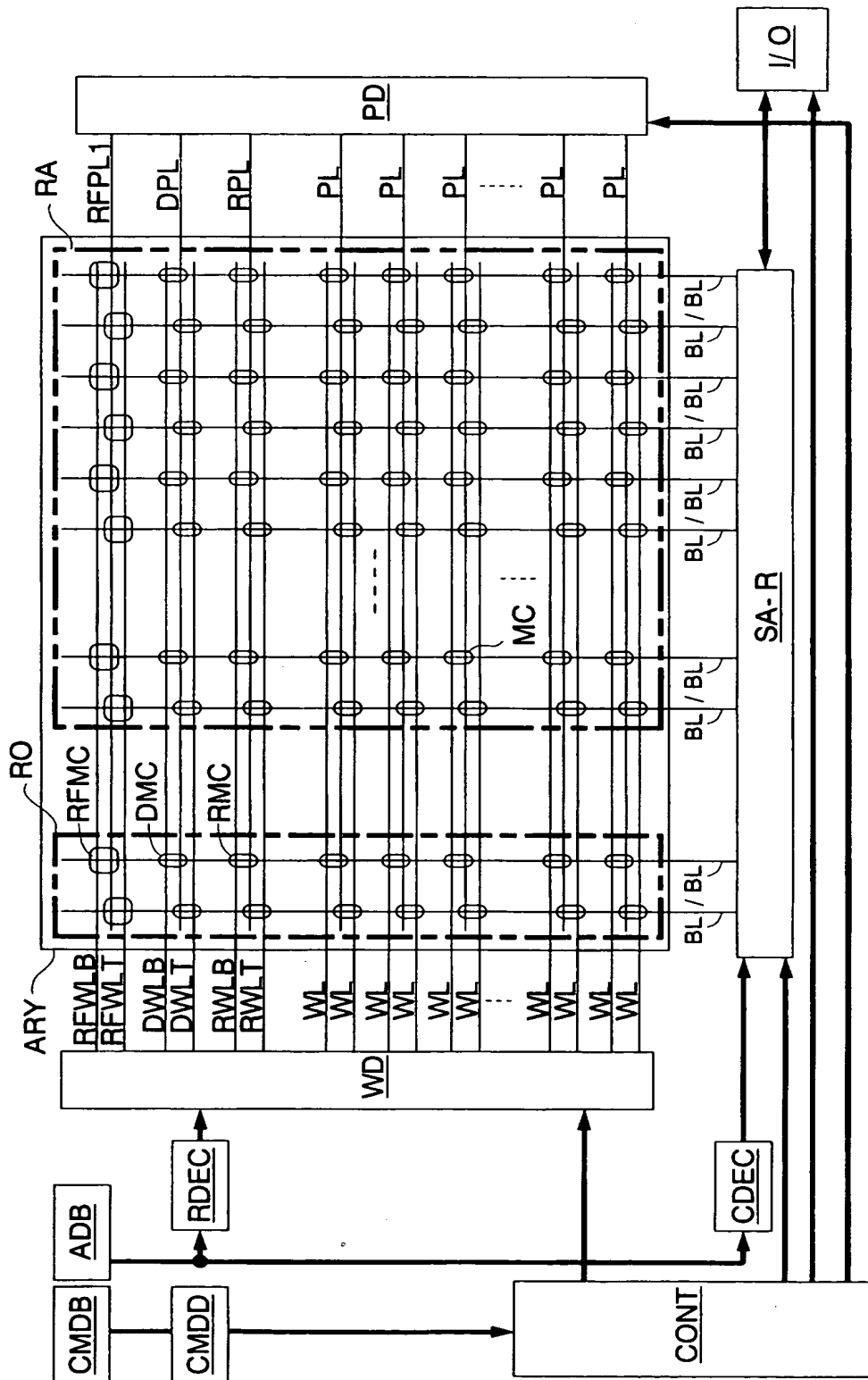


【図 11】



【図 12】

本発明の第 4 の実施形態を示すブロック図



【書類名】 要約書

【要約】

【課題】 製造工程において書き込まれたデータの読み出しマージンが、その後の熱工程で低下した場合にも、データを確実に読み出す。

【解決手段】 リファレンスメモリセルを利用してリアルメモリセルからデータを読み出す第 1 読み出し動作の前に、ダミーメモリセルからデータを読み出す第 2 読み出し動作が実行される。第 2 読み出し動作によって、製造工程の熱処理等により減少するリファレンスメモリセルの強誘電体キャパシタの残留分極値を、リアルメモリセルの読み出しアクセス前に元の値に戻すことができる。このため、その後の第 1 読み出し動作において、リアルメモリセルのデータを、正常に読み出すことができる。この結果、例えば、製造工程の試験工程等で予めデータが書き込まれる R O M 領域を有する強誘電体メモリにおいて、R O M 領域に記憶されているデータを確実に読み出すことができる。

【選択図】 図 1

特願 2 0 0 2 - 3 4 0 9 9 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日  
[変更理由] 新規登録  
住 所 神奈川県川崎市中原区上小田中 1 0 1 5 番地  
氏 名 富士通株式会社
2. 変更年月日 1 9 9 6 年 3 月 2 6 日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号  
氏 名 富士通株式会社